

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application:                      October 23, 2003

Application Number:                      No. 2003-363370  
[ST.10/C]:                                      [JP2003-363370]

Applicant(s):                              FUJITSU LIMITED

December 17, 2003

Commissioner,  
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3104768

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月 2 3 日  
Date of Application:

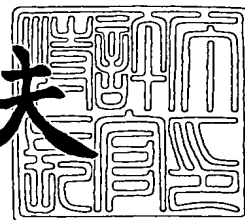
出 願 番 号                      特 願 2 0 0 3 - 3 6 3 3 7 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 6 3 3 7 0 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 0 4 7 6 8

【書類名】 特許願  
【整理番号】 0340846  
【提出日】 平成15年10月23日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 G11C 7/00  
G11C 11/00

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
内  
【氏名】 福士 功

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
内  
【氏名】 川嶋 将一郎

【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイス  
タワー 3 2 階

【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511

【手数料の表示】  
【予納台帳番号】 002989  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0114942

**【書類名】 特許請求の範囲****【請求項 1】**

メモリセルと、

該メモリセルから読み出すデータに応じた電位が現れる信号線と、

該信号線の電位が所定の電位を超えたことを検出すると検出信号を出力する電位検出回路と、

該検出信号に応答して該信号線の電位の増幅を開始するセンスアンプを含むことを特徴とする半導体記憶装置。

**【請求項 2】**

該メモリセルは互いに反転したデータを格納するための 2 つの強誘電体容量を含み、該信号線は該 2 つの強誘電体容量にそれぞれ対応する 2 本の信号線であり、該電位検出回路は該 2 本の信号線のそれぞれに対応して設けられ、該 2 本の信号線に対応する該電位検出回路の何れか一方が該検出信号を出力すると、それに応答して該センスアンプは該 2 本の信号線のデータの増幅を開始することを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 3】**

該メモリセルからのデータを読み出すビット線と、

該ビット線の電位を増幅して該信号線に出力するプリセンスアンプを含むことを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 4】**

該電位検出回路はシュミットトリガ回路であることを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 5】**

該シュミットトリガ回路の入力立ち上がりに対する入出力特性は Pch-MOS トランジスタと Nch-MOS トランジスタの直列接続からなるインバータの入出力特性であることを特徴とする請求項 4 記載の半導体記憶装置。

**【請求項 6】**

該電位検出回路から出力される該検出信号を遅延させて該センスアンプに供給する遅延回路を更に含むことを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 7】**

互いに反転したデータを格納するための 2 つの強誘電体容量を含むメモリセルと、

該 2 つの強誘電体容量にトランジスタを介してそれぞれ接続される 2 本のビット線と、

該 2 本のビット線をそれぞれ入力として電位を増幅する 2 つのプリセンスアンプと、

該 2 つのプリセンスアンプの出力をそれぞれ入力とし入力電位が所定の電位を超えたことを検出すると検出信号を出力する 2 つの電位検出回路と、

該 2 つのプリセンスアンプの出力を入力とし該 2 つの電位検出回路の何れか一方が該検出信号を出力すると増幅動作を開始するセンスアンプを含むことを特徴とする半導体記憶装置。

**【請求項 8】**

該電位検出回路はシュミットトリガ回路であることを特徴とする請求項 7 記載の半導体記憶装置。

**【請求項 9】**

該シュミットトリガ回路の入力立ち上がりに対する入出力特性は Pch-MOS トランジスタと Nch-MOS トランジスタの直列接続からなるインバータの入出力特性であることを特徴とする請求項 8 記載の半導体記憶装置。

**【請求項 10】**

該電位検出回路から出力される該検出信号を遅延させて該センスアンプに供給する遅延回路を更に含むことを特徴とする請求項 7 記載の半導体記憶装置。

【書類名】 明細書

【発明の名称】 半導体記憶装置

【技術分野】

【0001】

本発明は、一般に半導体記憶装置に関し、詳しくはセンスアンプのラッチのタイミングを調整した強誘電体メモリに関する。

【背景技術】

【0002】

強誘電体メモリ (FRAM、FeRAM) は、メモリセルとして強誘電体容量を用い電源オフ時であっても情報を保持できるため、ICカードの記憶媒体等として用いられる。

【0003】

図1は、従来の強誘電体メモリの構成の一例を示す図である。図1に示す回路は強誘電体メモリの読み出しに関連する部分であり、2T2C (2トランジスタ2キャパシタ) 型メモリセル1、プリセンスアンプ2、プリセンスアンプ3、V<sub>th</sub>発生回路4、マイナス電圧発生回路5、及びセンスアンプ6を含む。

【0004】

実際の構成ではメモリセル1はマトリクス状に配置されるが、図示の簡略化のために1個のみを示してある。メモリセル1において、WLはワード線、PLはプレート線、BL及びBLXはビット線、N1及びN2はアクセストランジスタ、更にF1及びF2は強誘電体容量である。

【0005】

強誘電体メモリにおいては、強誘電体容量に正または負の電圧を印加して分極させることにより書き込みを行い、強誘電体容量に正電圧を印加したときの分極反転電流の有無を検出することにより読み出しを行う。書き込み動作においては、ワード線WLを選択状態 (HIGH) にして、アクセストランジスタN1をONにする。ビット線BLとプレート線PL間に正又は負の電圧が加えられると、強誘電体容量F1にこの電圧が印加され、所望のデータが書き込まれる。“0” データを書き込む場合は、ビット線BLを0Vとし、プレート線PLを電源電圧VDDにする。また“1” データを書き込む場合は、ビット線BLを電源電圧VDDとし、プレート線PLを0Vに設定する。強誘電体容量F2には、同様の手順により、強誘電体容量F1のデータと反転したデータが書き込まれる。書き込み動作後に印加電圧が消えても強誘電体容量の分極は保持されるので、書き込まれたデータは不揮発データとして保持される。

【0006】

読み出し動作においては、ワード線WLを選択してアクセストランジスタN1をONにし、プレート線PLを電源電圧VDDに設定する。ビット線BLはプリセンスアンプ2により略グラウンド電位GNDに保たれており、強誘電体容量F1には正電圧が印加される。強誘電体容量F1に“0” が格納されている場合には、強誘電体容量F1にかかる電圧は書き込み時と同一の極性であるために、分極の反転は起こらない。従って比較的小さな電荷がビット線BLに流れる。強誘電体容量F1に“1” が格納されている場合には、強誘電体容量F1にかかる電圧は書き込み時と反対極性であるために、分極の反転が起こる。従って、大きな反転電荷がビット線BLに流れる。この電流をプリセンスアンプ2で検知し電圧に変換する。強誘電体容量F2についても同様に、プリセンスアンプ3が電流を検知し電圧に変換する。センスアンプ6は、プリセンスアンプ2及び3の出力電位の差を電源電圧VDD及びGNDまで増幅する。

【0007】

プリセンスアンプ2は、スイッチS1及びS3、Pch-MOSトランジスタP1、及び容量C1及びC3を含む。プリセンスアンプ3は、スイッチS2及びS4、Pch-MOSトランジスタP2、及び容量C2及びC4を含む。センスアンプ6は、Pch-MOSトランジスタP3～P7、Nch-MOSトランジスタN3～N7、スイッチS5及びS6、及びインバータI1を含む。

## 【0008】

図2は、図1の従来回路の動作を説明するための信号波形図である。以下に、図2を用いて図1の回路の動作を説明する。

## 【0009】

強誘電体容量F1にはデータ“1”が格納され、強誘電体容量F2にはデータ“0”が格納されているとする。図2において、時間T1まではスイッチS1及びS2がON（短絡）されており、ビット線BL及びBLXがグラウンド電位GNDに固定されている。時間T1以降は、スイッチS1及びS2がOFF（解放）となり、ビット線BL及びBLXを開放する。Vth発生回路4は、Pch-MOSトランジスタP1及びP2のソース（ビット線BL及びBLX）がグラウンド電位GNDの時のVth（MOS閾値）に等しい電位を発生する。この電位はGNDよりも低い電位である。

## 【0010】

マイナス電圧発生回路5は負電位VMINUSを発生する。負電位VMINUSは例えば-3Vである。スイッチS3及びS4は、時間T1まではONであり、Pch-MOSトランジスタP1及びP2のドレイン（ノードMINUS及びMINUSX）を負電位VMINUSに維持する。時間T1以降は、スイッチS3及びS4がOFFとなりノードMINUS及びMINUSXを開放する。時間T1から時間T2までは、ノードMINUS及びMINUSXの電位は容量C1及びC2により負電位VMINUSに保たれる。

## 【0011】

時間T2に、ワード線WLとプレート線PLとをVDD（例えば3V）に変化させる。アクセストランジスタN1及びN2がONとなり、強誘電体容量F1及びF2に正電圧が印加される。データ1を記憶している強誘電体容量F1には書き込み時と反対極性の電圧がかかるので、分極反転により大きな反転電荷がビット線BLに流れる。この時ビット線BLの電位が上がろうとするが、Pch-MOSトランジスタP1のゲートにVthが印加されているために、ビット線BLの電位が僅かでも上昇するとPch-MOSトランジスタP1がONする。これによりビット線BLからノードMINUSに反転電荷に等しい電荷が流れ、ビット線BLの電位はGND近傍に保たれる。反転電荷が流入することにより、容量C1によって保たれていたノードMINUSの電位は図2に示す様に大きく上昇する。

## 【0012】

一方、データ“0”を記憶している強誘電体容量F2にかかる電圧は書き込み時と同極性であるので分極反転は起こらず、比較的小さな電荷がビット線BLXに流れる。この時ビット線BLXの電位が上がろうとするが、Pch-MOSトランジスタP2のゲートにVthが印加されているために、ビット線BLXの電位が僅かでも上昇するとPch-MOSトランジスタP2がONする。これによりビット線BLXからノードMINUSXに電荷が流れ、ビット線BLXの電位はGND近傍に保たれる。電荷が流入することにより、容量C2によって保たれていたノードMINUSXの電位は図2に示す様に上昇する。但し記憶データが“0”であることに対応して、ノードMINUSXの電位の上昇はノードMINUSの電位の上昇より小さい。

## 【0013】

センスアンプ6のスイッチS5及びS6は時間T1まではONにされており、容量C3及びC4の一端OUT及びOUTXは、時間T1までGNDに固定されている。容量C3及びC4の他端MINUS及びMINUSXは上で述べたように、時間T1までは負電位VMINUSに固定されている。時間T1を経過するとスイッチS5及びS6はOFFとなりノードOUT及びOUTXは開放される。容量C3及びC4はその両端の電位差を保つのでノードMINUS及びMINUSXの電位変化に応じて、ノードOUT及びOUTXの電位も同様に变化する。従ってノードOUT及びOUTXの電位波形はノードMINUS及びMINUSXの電位波形と同一で、電位が|VMINUS|だけ上にシフトされ、グラウンド電位GNDを基準とした正電位の波形となる。

## 【0014】

センスアンプ6はラッチ型のセンスアンプであり、ノードOUT及びOUTXを入力としてラッチし、それぞれVDDとグラウンド電位GNDまで増幅する。MOSトランジスタP4、P5、N4、及びN5は、クロスカップル接続された2つのインバータを構成する。MOSトランジスタP3及びN3は、これら2つのインバータを電源から切り離す電源スイッチとして機能する。またMOSトランジスタP6、N6、P7、及びN7はトランスファークラークである。

#### 【0015】

時間T3まではラッチ起動信号SAPOWERはLOWで、クロスカップル接続の2つのインバータは電源から切り離されフローティング状態となっている。トランスファークラークはONであり、ノードOUT及びOUTXはクロスカップル接続のノードSAOUT及びSAOUTXに接続されている。時間T3でラッチ起動信号SAPOWERがHIGHに変化すると、トランスファークラークがOFFすると共にクロスカップル接続の2つのインバータに電源が入る。これによりノードSAOUT及びSAOUTXの電位が、それぞれVDDとGNDまで増幅される。この増幅された信号が読み出し出力となる。

#### 【0016】

なお、上記の例とは逆に強誘電体容量F1にデータ“0”が格納され強誘電体容量F2にデータ“1”が格納されている場合でも、データ読み出しの際のスイッチング動作や増幅動作等は同様である。

【特許文献1】特開2002-133857号公報

【非特許文献1】“インターネット時代のパスポート、FRAMスマートカード”、  
[online]、平成14年、富士通株式会社、インターネット<URL: [http://device.fujitsu.com/fj/CATALOG/AD05/05-00023/index\\_j.html](http://device.fujitsu.com/fj/CATALOG/AD05/05-00023/index_j.html)>

【非特許文献2】カワシマショウイチロウ 他6名(Shoichiro Kawashima, et.al.)著、アイトリプルイー ジャーナル オブ ソリッドステート サーキット (IEEE Journal of Solid-State Circuits), 2002年5月, 第37巻, 第5号, p. 592-598

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0017】

図3は、図2に示されるノードOUT及びOUTXとラッチ起動信号SAPOWERの時間T3付近の波形の拡大図である。

#### 【0018】

図3において、メモリセルの読み出しによりノードOUT及びOUTXの電位が上昇し、センスアンプ6が起動される時間T3で $\Delta V$ の電位差が生じている。センスアンプ6はこの電位差を入力として増幅する。一般に強誘電体の特性は製造バラツキが大きく、温度・電源依存性も大きい。またノードOUT及びOUTXの電位波形は、メモリセルの容量F1及びF2とプリセンスアンプ内の容量C1及びC2の相対的バラツキにも左右される。

#### 【0019】

バラツキや温度・電源依存性によりメモリセルの容量F1及びF2が設計値より大きめになった場合、図4に示す様にノードOUT及びOUTXの電位が過度に上昇する場合がある。ここで“1”の読み出しデータであるノードOUTの電位は、VDD(例えば3V)を越えてVDD+0.6V程度に達すると飽和する。これは、プリセンスアンプ2内のPch-MOSトランジスタP1のバックゲートがGNDに接続されているために、ソース/ドレインが+0.6V程度以上になると、ソース/ドレインとバックゲート間のPN接合が順方向となり電流が流れ、それ以上ソース/ドレインの電位が上がらないためである。即ち、ノードMINUSの電位は+0.6V程度以上になることはなく、ノードOUTの電位もVDD+0.6V程度以上になることはない。

#### 【0020】

他方、“0”の読み出しデータであるノードOUTXの電位は、飽和点まで距離がある

ために時間と共に上昇し続ける。

#### 【0021】

従って、図4に示す様なタイミングで時間T3が設定されている場合には、ラッチタイミングT3より早い時間において十分大きい電位差 $\Delta V'$ が得られているにも関わらず、ラッチタイミングT3においては小さい電位差 $\Delta V$ しか得られない。この場合、センスアンプ6は、入力電位差が小さいために誤読み出しを起こす可能性がある。またセンスアンプ6はラッチ型センスアンプであり、そのゲインは入力電位が $V_{DD}/2$ の付近で最も高い。図4に示すように2つの入力と共に $V_{DD}$ に近い場合には、ゲインが低く誤読み出しの可能性が高くなるという問題点がある。

#### 【0022】

以上を鑑みて、本発明は、ラッチタイミングを強誘電体のバラツキや温度・電源依存性に依拠して変化させることで、 $V_{DD}$ に近くない十分大きな電位差のセンスアンプ入力をラッチ可能な半導体記憶装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0023】

本発明による半導体記憶装置は、メモリセルと、該メモリセルから読み出すデータに応じた電位が現れる信号線と、該信号線の電位が所定の電位を超えたことを検出すると検出信号を出力する電位検出回路と、該検出信号に応答して該信号線の電位の増幅を開始するセンスアンプを含むことを特徴とする。

#### 【発明の効果】

#### 【0024】

上記半導体記憶装置においては、読み出しデータに応じた電位が所定の電位を超えたことを電位検出回路により検出し、この検出に応じたタイミングでセンスアンプがデータを増幅する（即ちラッチ動作を実行する）。従ってデータ電位の立ち上がりが過度に急峻である場合には早いタイミングでラッチ動作を実行し、データ電位の立ち上がりが標準である場合には標準のタイミングでラッチ動作を実行し、データ電位の立ち上がりが過度に緩やかである場合には遅いタイミングでラッチ動作を実行することができる。これにより、ラッチタイミングを強誘電体のバラツキや温度・電源依存性に依拠して変化させることが可能となり、 $V_{DD}$ に近くない十分大きな電位差のセンスアンプ入力をラッチして正確なデータ検知をすることができる。

#### 【発明を実施するための最良の形態】

#### 【0025】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

#### 【0026】

図5は、本発明による強誘電体メモリの構成の一例を示す図である。図5において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

#### 【0027】

図5に示す回路は強誘電体メモリの読み出しに関連する部分であり、2T2C（2トランジスタ2キャパシタ）型メモリセル1、プリセンスアンプ2、プリセンスアンプ3、 $V_{th}$ 発生回路4、マイナス電圧発生回路5、センスアンプ6、シュミットトリガ回路7、シュミットトリガ回路8、及びNAND回路9を含む。図5の本発明においては、電位検出手段として機能するシュミットトリガ回路7及び8により、ノードOUT及びOUTXの電位が所定の電位に達したことを検出する。これを検出すると、シュミットトリガ回路7及び8はラッチ起動信号SAPOWERを発生し、センスアンプ6のラッチ動作を起動する。

#### 【0028】

具体的には、シュミットトリガ回路7及び8がプリセンスアンプ2及び3のノードOUT及びOUTXに接続され、その出力TRG1及びTRG2がNANDゲート9を介してラッチ起動信号SAPOWERとしてセンスアンプ6に供給される。ここでのシュミットトリガ回路7及び8の出力は負論理であり、ノードOUT及びOUTXが立ち上がる前の



出力TRG1及びTRG2はHIGHである。従って、NANDゲート9から供給されるラッチ起動信号SAPOWERはLOWである。読み出し動作が開始し、例えばノードOUTの電位がシュミットトリガ回路の入力立ち上がり側の閾値に達すると、出力TRG1がHIGHからLOWに切り替わる。これに応じてラッチ起動信号SAPOWERがHIGHとなり、センスアンプ6が起動される。

#### 【0029】

図6は、図5のノードOUT及びOUTXとラッチ起動信号SAPOWERの電圧を示す信号波形図である。

#### 【0030】

図6は、メモリセル容量のバラツキ又は温度・電源依存性によりノードOUT及びOUTXの電位が過度に上昇した場合を示している。前述の通りノードOUTは飽和し、点線で示す従来のラッチ起動信号SAPOWERのタイミングT3では、電位差 $\Delta V$ が小さくなっている。またノードOUT及びOUTXの電位は共に、センスアンプ6のゲインが低いVDDに近傍に位置している。本発明においては、時間T3'でノードOUTの電位がシュミットトリガ回路7の入力立ち上がり側の閾値V<sub>SCHMIDT</sub>に達すると、ラッチ起動信号SAPOWERが生成される。これによりセンスアンプ6が起動され、ラッチタイミング(T3')で充分大きな電位差 $\Delta V'$ が確保される。またノードOUT及びOUTXの電位がVDD/2に近いので、センスアンプ6は十分なゲインを発揮することができる。

#### 【0031】

図7は、本発明においてメモリセル容量のバラツキ又は温度・電源依存性によりノードOUT及びOUTXの電位が様々に振れた場合に生成されるラッチ起動信号SAPOWERのタイミングを示す信号波形図である。

#### 【0032】

一点鎖線はノードOUT及びOUTXの電位が高めの場合を示し、実線は電位が標準の場合を示し、点線は電位が低めの場合を示す。何れの場合においてもノードOUT及びOUTXの何れかがシュミットトリガ回路の入力立ち上がり側の閾値V<sub>SCHMIDT</sub>に到達すると、ラッチ起動信号SAPOWERが生成され、適正なタイミングでセンスアンプのラッチ動作が介しされる。

#### 【0033】

図8は、本発明による強誘電体メモリの更に詳細な構成の一例を示す図である。図8において、図1及び図5と同一の構成要素は同一の番号で参照する。

#### 【0034】

図8に示す回路は強誘電体メモリの読み出しに関連する部分であり、2T2C(2トランジスタ2キャパシタ)型メモリセル1、プリセンスアンプ2、プリセンスアンプ3、V<sub>t</sub>h発生回路4、マイナス電圧発生回路5、センスアンプ6、シュミットトリガ回路7、シュミットトリガ回路8、及びNAND回路9を含む。

#### 【0035】

実際の構成ではメモリセル1はマトリクス状に配置されるが、図示の簡略化のために1個のみを示してある。メモリセル1において、WLはワード線、PLはプレート線、BL及びBLXはビット線、N1及びN2はアクセストランジスタ、更にF1及びF2は強誘電体容量である。

#### 【0036】

プリセンスアンプ2は、スイッチS1及びS3、Pch-MOSトランジスタP1、及び容量C1及びC3を含む。プリセンスアンプ3は、スイッチS2及びS4、Pch-MOSトランジスタP2、及び容量C2及びC4を含む。センスアンプ6は、Pch-MOSトランジスタP3～P7、Nch-MOSトランジスタN3～N7、スイッチS5及びS6、及びインバータI1を含む。

#### 【0037】

シュミットトリガ回路7は、Pch-MOSトランジスタP8～P10及びNch-MO

SトランジスタN8を含む。同様にシュミットトリガ回路8は、Pch-MOSトランジスタP11~P13及びNch-MOSトランジスタN9を含む。

#### 【0038】

図9は、図8の回路の動作を説明するための信号波形図である。以下に、図9を用いて図8の回路の動作を説明する。

#### 【0039】

図9に示すのは、メモリセル容量のバラツキ又は温度・電源依存性によりノードOUT及びOUTXの電位が過度に上昇した場合である。強誘電体容量F1にはデータ“1”が格納され、強誘電体容量F2にはデータ“0”が格納されているとする。図9において、時間T1まではスイッチS1及びS2がON（短絡）されており、ビット線BL及びBLXがグラウンド電位GNDに固定されている。時間T1以降は、スイッチS1及びS2がOFF（解放）となり、ビット線BL及びBLXを開放する。Vth発生回路4は、Pch-MOSトランジスタP1及びP2のソース（ビット線BL及びBLX）がグラウンド電位GNDの時のVth（MOS閾値）に等しい電位を発生する。この電位はGNDよりも低い電位である。

#### 【0040】

マイナス電圧発生回路5は負電位VMINUSを発生する。負電位VMINUSは例えば-3Vである。スイッチS3及びS4は、時間T1まではONであり、Pch-MOSトランジスタP1及びP2のドレイン（ノードMINUS及びMINUSX）を負電位VMINUSに維持する。時間T1以降は、スイッチS3及びS4がOFFとなりノードMINUS及びMINUSXを開放する。時間T1から時間T2までは、ノードMINUS及びMINUSXの電位は容量C1及びC2により負電位VMINUSに保たれる。

#### 【0041】

時間T2に、ワード線WLとプレート線PLとをVDD（例えば3V）に変化させる。アクセストランジスタN1及びN2がONとなり、強誘電体容量F1及びF2に正電圧が印加される。データ1を記憶している強誘電体容量F1には書き込み時と反対極性の電圧がかかるので、分極反転により大きな反転電荷がビット線BLに流れる。この時ビット線BLの電位が上がりようとするが、Pch-MOSトランジスタP1のゲートにVthが印加されているために、ビット線BLの電位が僅かでも上昇するとPch-MOSトランジスタP1がONする。これによりビット線BLからノードMINUSに反転電荷に等しい電荷が流れ、ビット線BLの電位はGND近傍に保たれる。反転電荷が流入することにより、容量C1によって保たれていたノードMINUSの電位は図9に示す様に大きく上昇する。

#### 【0042】

一方、データ“0”を記憶している強誘電体容量F2にかかる電圧は書き込み時と同極性であるので分極反転は起こらず、比較的小さな電荷がビット線BLXに流れる。この時ビット線BLXの電位が上がりようとするが、Pch-MOSトランジスタP2のゲートにVthが印加されているために、ビット線BLXの電位が僅かでも上昇するとPch-MOSトランジスタP2がONする。これによりビット線BLXからノードMINUSXに電荷が流れ、ビット線BLXの電位はGND近傍に保たれる。電荷が流入することにより、容量C2によって保たれていたノードMINUSXの電位は図9に示す様に上昇する。但し記憶データが“0”であることに対応して、ノードMINUSXの電位の上昇はノードMINUSの電位の上昇より小さい。

#### 【0043】

センスアンプ6のスイッチS5及びS6は時間T1まではONにされており、容量C3及びC4の一端OUT及びOUTXは、時間T1までGNDに固定されている。容量C3及びC4の他端MINUS及びMINUSXは上で述べたように、時間T1までは負電位VMINUSに固定されている。時間T1を経過するとスイッチS5及びS6はOFFとなりノードOUT及びOUTXは開放される。容量C3及びC4はその両端の電位差を保つのでノードMINUS及びMINUSXの電位変化に応じて、ノードOUT及びOUT

Xの電位も同様に变化する。従ってノードOUT及びOUTXの電位波形はノードMINUS及びMINUSXの電位波形と同一で、電位が $|V_{MINUS}|$ だけ上にシフトされ、グラウンド電位GNDを基準とした正電位の波形となる。

#### 【0044】

シュミットトリガ回路7及び8の入力は、それぞれノードOUT及びOUTXに接続されている。初期状態においてノードOUT及びOUTXはグラウンド電位GNDにあり、シュミットトリガ回路7及び8の出力TRG1及びTRG2はHIGHである。従って、NANDゲート9の出力であるラッチ起動信号SAPOWERはLOWである。

#### 【0045】

読み出しが始まるとノードOUT及びOUTXの電位が上昇し、図9に示す例では、ノードOUTが先に時間T3'でシュミットトリガ回路7の入力立ち上がり側の閾値V<sub>SCHMIDT</sub>に到達する。これに応答して、出力TRG1がHIGHからLOWに切り替わり、NANDゲートの出力であるラッチ起動信号SAPOWERがHIGHに変化する。ノードOUT及びOUTXの波形は緩やかに立ち上がるが、シュミットトリガ回路7及び8においては一旦出力が切り替わると、その後入力が多少変動しても出力が入力の細かな変動を検出して切り替わることはない。即ち、チャタリングを起こすことはない。シュミットトリガ回路の動作の詳細については後述する。

#### 【0046】

センスアンプ6はラッチ型のセンスアンプであり、ノードOUT及びOUTXを入力としてラッチし、それぞれVDDとグラウンド電位GNDまで増幅する。MOSトランジスタP4、P5、N4、及びN5は、クロスカップル接続された2つのインバータを構成する。MOSトランジスタP3及びN3は、これら2つのインバータを電源から切り離す電源スイッチとして機能する。またMOSトランジスタP6、N6、P7、及びN7はトランスファゲートである。

#### 【0047】

時間T3まではラッチ起動信号SAPOWERはLOWで、クロスカップル接続の2つのインバータは電源から切り離されフローティング状態となっている。トランスファゲートはONであり、ノードOUT及びOUTXはクロスカップル接続のノードSAOUT及びSAOUTXに接続されている。時間T3でラッチ起動信号SAPOWERがHIGHに変化すると、トランスファゲートがOFFすると共にクロスカップル接続の2つのインバータに電源が入る。これによりノードSAOUT及びSAOUTXの電位が、それぞれVDDとGNDまで増幅される。この増幅された信号が読み出し出力となる。

#### 【0048】

以上のように、シュミットトリガ回路7及び8がノードOUT及びOUTXの電位を検知してラッチ起動信号を生成することにより、ノードOUT及びOUTXの電位が過度に急速に上昇する場合でも、適正なタイミングでセンスアンプのラッチを起動できる。なお、上記の例とは逆に強誘電体容量F1にデータ“0”が格納され強誘電体容量F2にデータ“1”が格納されている場合でも、データ読み出しの際のスイッチング動作や増幅動作等は同様である。また容量C1～C4は強誘電体容量でもよい。

#### 【0049】

図10は、図8に示されるシュミットトリガ回路7の入出力特性を示す図である。図示の入出力特性は、シュミットトリガ回路8についても同様である。

#### 【0050】

シュミットトリガ回路7の入力がLOWの場合、Pch-MOSトランジスタP8及びP9がONし、またNch-MOSトランジスタN8がOFFするので、出力はHIGHになる。出力がHIGHであるので、Pch-MOSトランジスタP10はOFFである。Pch-MOSトランジスタP10がOFFである状態では、この回路はインバータとして動作する。従って入力が立ち上がると、インバータと同様の入出力特性に従って出力が立ち下がる。この時の閾値が入力立ち上がり側の閾値V<sub>SCHMIDT</sub>である。一旦出力がLOWになると、Pch-MOSトランジスタP10がONしてノード10の電位を

引き下げる。これによりPch-MOSトランジスタP9はOFFする。従って、この時点で入力電位が多少下がって閾値V SCHMIDTより下がったとしても、出力がHIGHに戻ることはない。立ち上がり完了し入力がHIGHにある状態では、Pch-MOSトランジスタP8及びP9がOFFであり、Nch-MOSトランジスタN8がONである。

#### 【0051】

この状態から入力が立ち下がる動作を以下に説明する。はじめPch-MOSトランジスタP10がONであるので、Pch-MOSトランジスタP9のソースであるノード10の電位を引き下げている。従って、Pch-MOSトランジスタP9がONするためには、Pch-MOSトランジスタP8によりノード10の電位を引き上げられる程度にまで入力電位が充分に下がる必要がある。従って、入力立ち下がり側の閾値はV SCHMIDTより低いものとなる。入力電位が入力立ち下がり側の閾値より低くなり出力がHIGHになると、Pch-MOSトランジスタP10がOFFし、Pch-MOSトランジスタP8及びP9がON、Nch-MOSトランジスタN8がOFFとなる。Pch-MOSトランジスタP10がOFFしたことにより、入力電位が入力立ち下がり側の閾値より多少高くなっても出力が切り替わることはない。

#### 【0052】

図11は、シュミットトリガ回路の構成の別の一例を示す回路図である。図12は、図11のシュミットトリガ回路の入出力特性を示す。

#### 【0053】

図11に示すシュミットトリガ回路7Aは、一般に知られ、広く用いられている回路構成である。シュミットトリガ回路7Aは、Pch-MOSトランジスタP8～P10及びNch-MOSトランジスタN8、N20、及びN21を含む。図11のシュミットトリガ回路7Aの入出力特性である図12と、前述のシュミットトリガ回路7の入出力特性を示す図10とを比較すれば分るように、前述のシュミットトリガ回路7では、入力立ち上りの際の動作がインバータの動作と同一であるために、立ち上がり側の閾値V SCHMIDTが相対的に低い電位に設定されている。

#### 【0054】

前述のように、センスアンプ6はラッチ型センスアンプであり、そのゲインは入力電位がVDD/2の付近で最も高い。従って、この付近に立ち上がり側の閾値V SCHMIDTを設定することが必要な場合には、図8に示すシュミットトリガ回路7及び8の構成を用いることができる。より高い電位に立ち上がり側の閾値V SCHMIDTを設定してよい場合には、図11のシュミットトリガ回路7Aを用いることができる。

#### 【0055】

図13は、本発明による強誘電体メモリの構成の変形例を示す図である。図13において、図5と同一の構成要素は同一の番号で参照し、その説明は省略する。

#### 【0056】

図13に示す回路は、遅延回路11が設けられていることが図5の構成と異なる。NANDゲート9の出力TRG3が、遅延回路11を介して、ラッチ起動信号SAPOWERとしてセンスアンプ6に供給される。

#### 【0057】

図14は、図13の回路の動作を示す信号波形図である。図14に示されるのは、メモリセル容量のバラツキ又は温度・電源依存性によりノードOUT及びOUTXの電位が過度に上昇した場合である。図6の場合と同様にノードOUTは飽和し、時間T3では電位差 $\Delta V$ が小さくなってしまう。ノードOUTがシュミットトリガ回路7の入力立ち上がり側の閾値V SCHMIDTに到達すると、シュミットトリガ回路7の出力TRG1がLOWになることで、NANDゲート9の出力TRG3がHIGHになる。このHIGHへの変化が、遅延回路11により所定の時間遅延してから、ラッチ起動信号SAPOWERのHIGHへの変化として現れる。

#### 【0058】

図14に示すように、ノードOUT及びOUTXの電位差はノードOUTが飽和する時間T3'付近で最大になる。従って、センスアンプ6のゲイン変化の影響がそれ程大きくない場合には、このタイミングT3'でラッチを起動するのが好ましい。しかしこのタイミングではノードOUTの電位がVDD（例えば3V）を超えてるいが、一方でシュミットトリガ回路の閾値V SCHMIDTをVDDより高く設定することは不可能であるという問題がある。そこで図13の構成では、時間T3'でノードOUTが閾値V SCHMIDTに到達したことを検知し、所定時間遅延させて時間T3'でラッチ起動信号S APOWERをHIGHにする。これにより時間T3'での電位差 $\Delta V'$ よりも大きい電位差 $\Delta V''$ をセンスアンプ6で検知することが可能となり、より確実に誤読み出しを防ぐことができる。

#### 【0059】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【図面の簡単な説明】

#### 【0060】

【図1】従来の強誘電体メモリの構成の一例を示す図である。

【図2】図1の従来回路の動作を説明するための信号波形図である。

【図3】図2に示されるノードの電位とラッチ起動信号についての時間T3付近の波形の拡大図である。

【図4】ノードの電位が過度に上昇する場合を示す図である。

【図5】本発明による強誘電体メモリの構成の一例を示す図である。

【図6】図5のノードの電位とラッチ起動信号の電圧を示す信号波形図である。

【図7】本発明においてメモリセル容量のバラツキ又は温度・電源依存性によりノードの電位が様々な振れた場合に生成されるラッチ起動信号のタイミングを示す信号波形図である。

【図8】本発明による強誘電体メモリの更に詳細な構成の一例を示す図である。

【図9】図8の回路の動作を説明するための信号波形図である。

【図10】図8に示されるシュミットトリガ回路の入出力特性を示す図である。

【図11】シュミットトリガ回路の構成の別の一例を示す回路図である。

【図12】図11のシュミットトリガ回路の入出力特性を示す図である。

【図13】本発明による強誘電体メモリの構成の変形例を示す図である。

【図14】図13の回路の動作を示す信号波形図である。

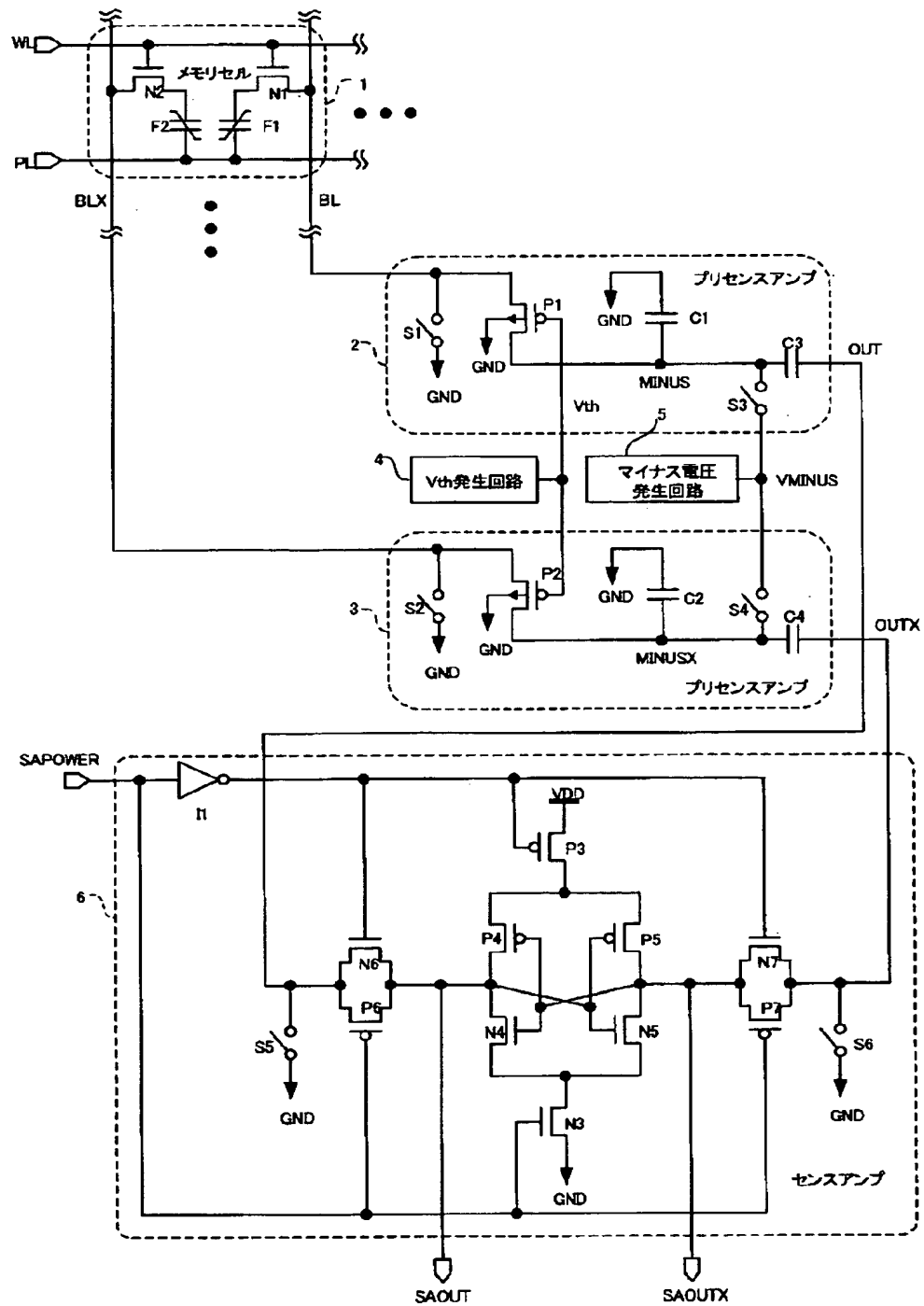
#### 【符号の説明】

#### 【0061】

- 1   メモリセル
- 2   プリセンスアンプ
- 3   プリセンスアンプ
- 4   V<sub>th</sub>発生回路
- 5   マイナス電圧発生回路
- 6   センスアンプ
- 7   シュミットトリガ回路
- 8   シュミットトリガ回路
- 9   NAND回路
- 11  遅延回路

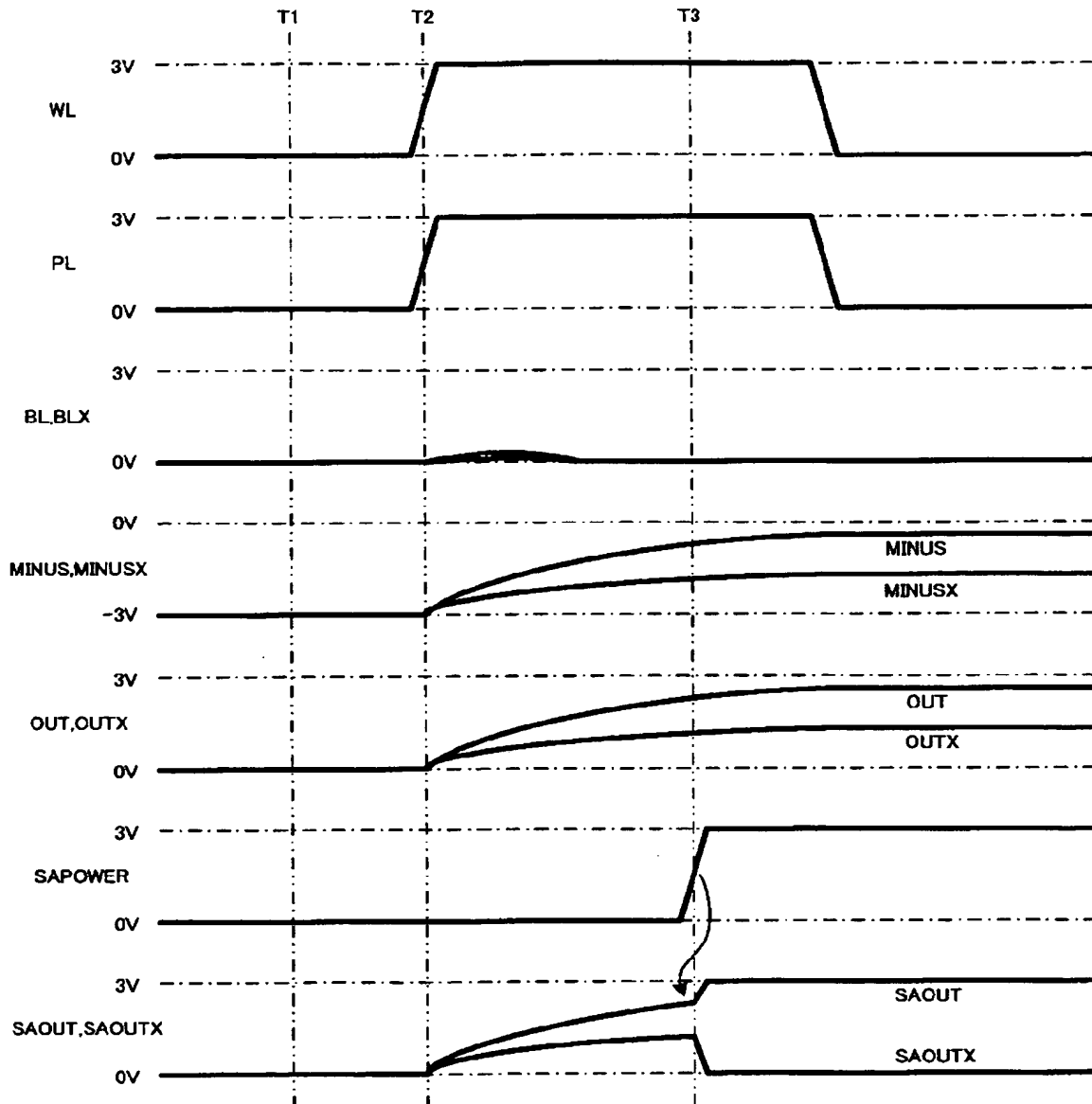
【書類名】 図面  
【図1】

従来の強誘電体メモリの構成の一例を示す図



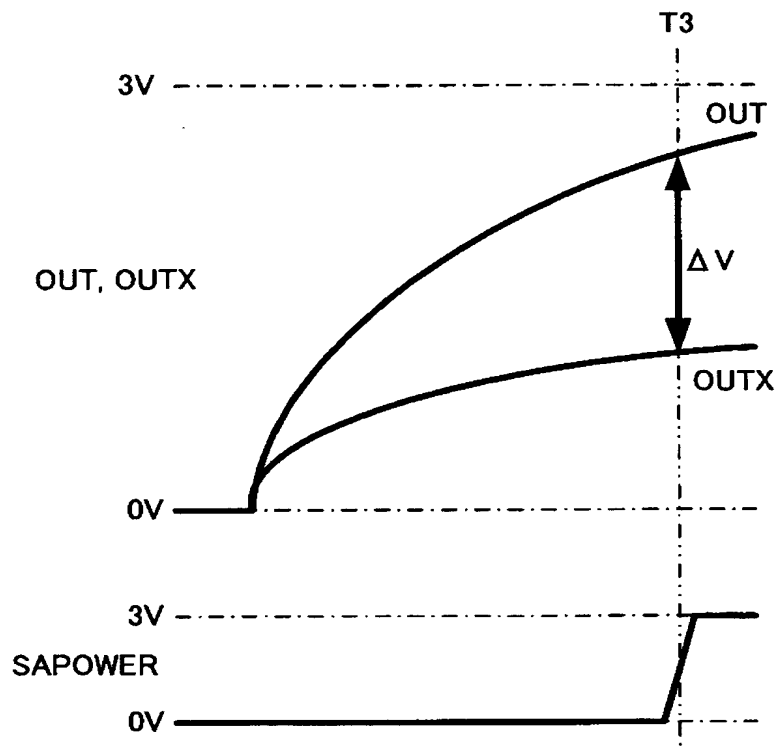
【図 2】

図1の従来回路の動作を説明するための信号波形図



【図 3】

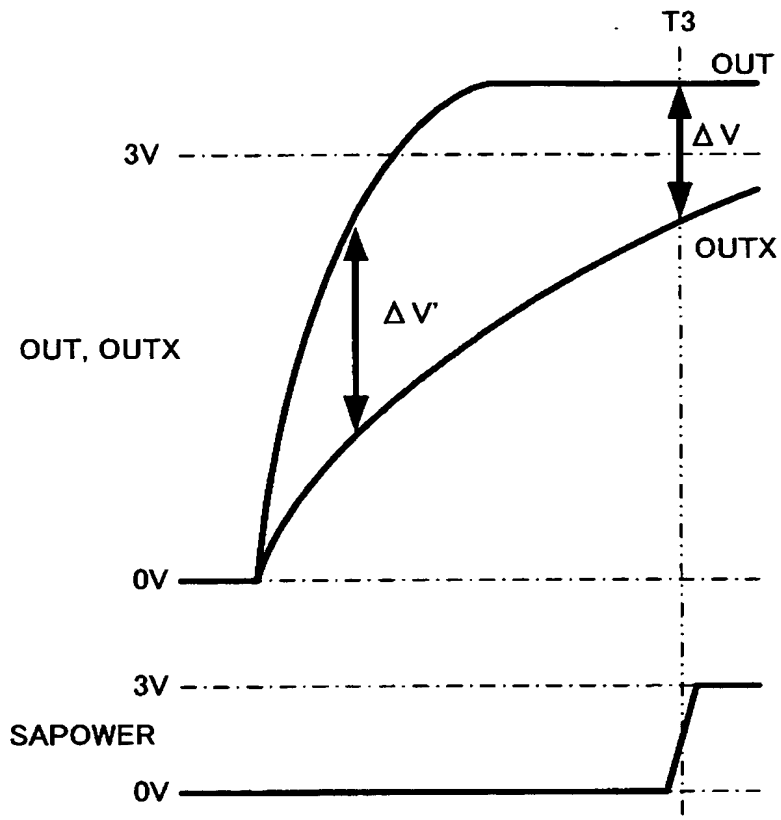
図2に示されるノードの電位とラッチ起動信号  
についての時間T3付近の波形の拡大図





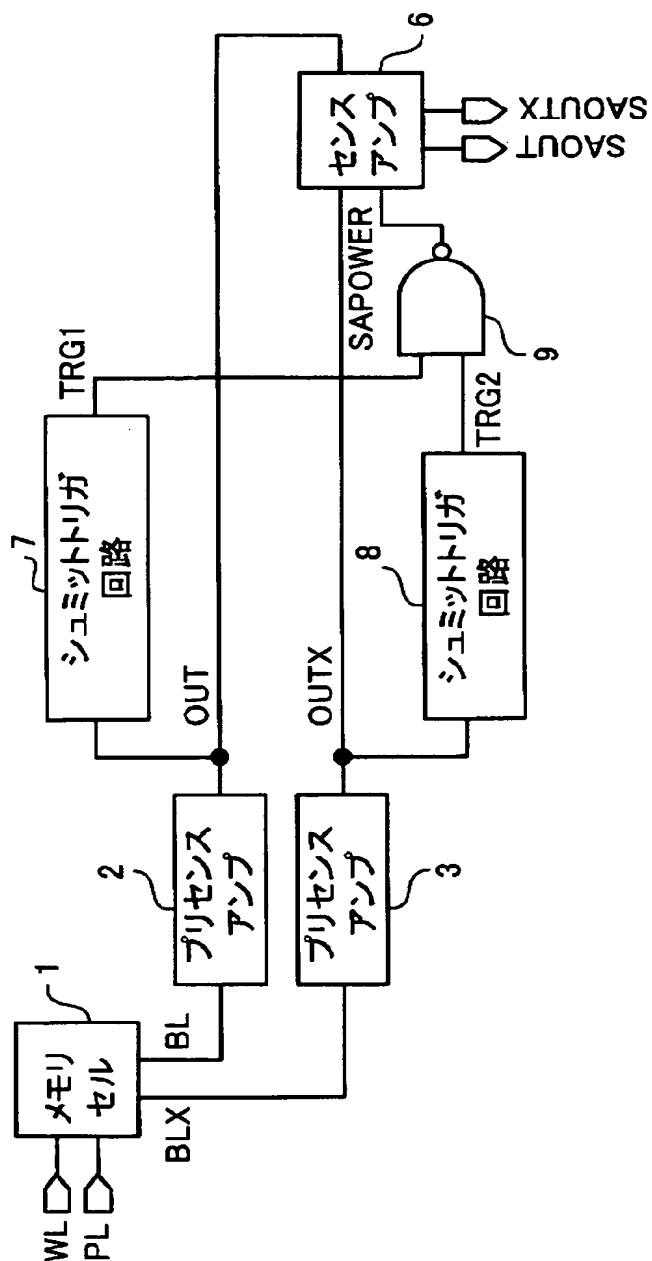
【図 4】

ノードの電位が過度に上昇する場合を示す図



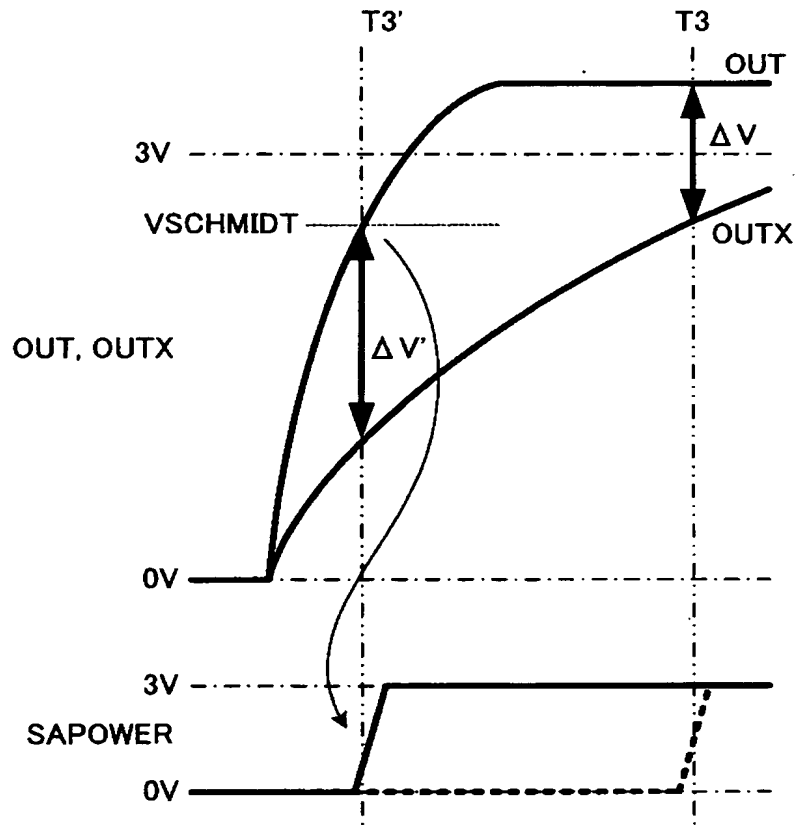
【図5】

本発明による強誘電体メモリの構成の一例を示す図



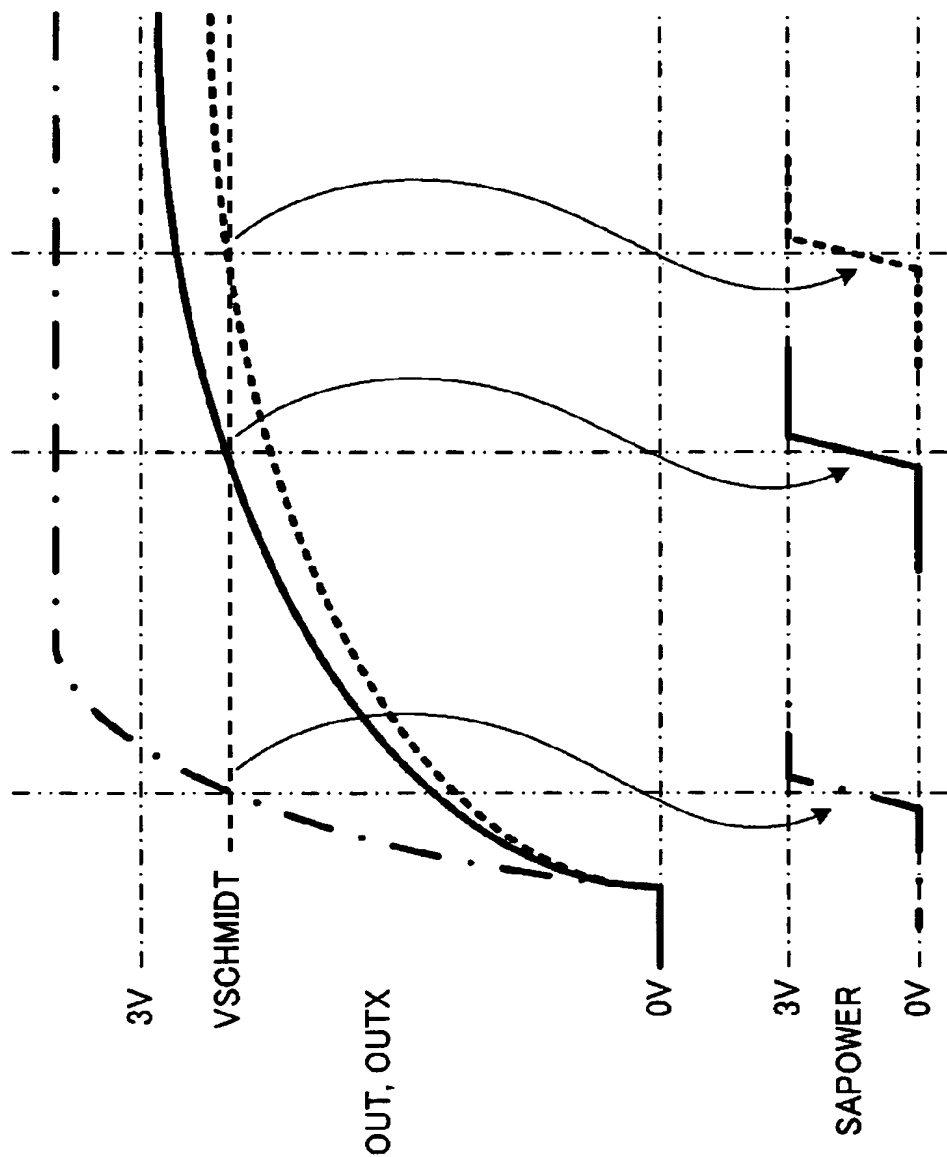
【図 6】

図5のノードの電位とラッチ起動信号の電圧を示す信号波形図



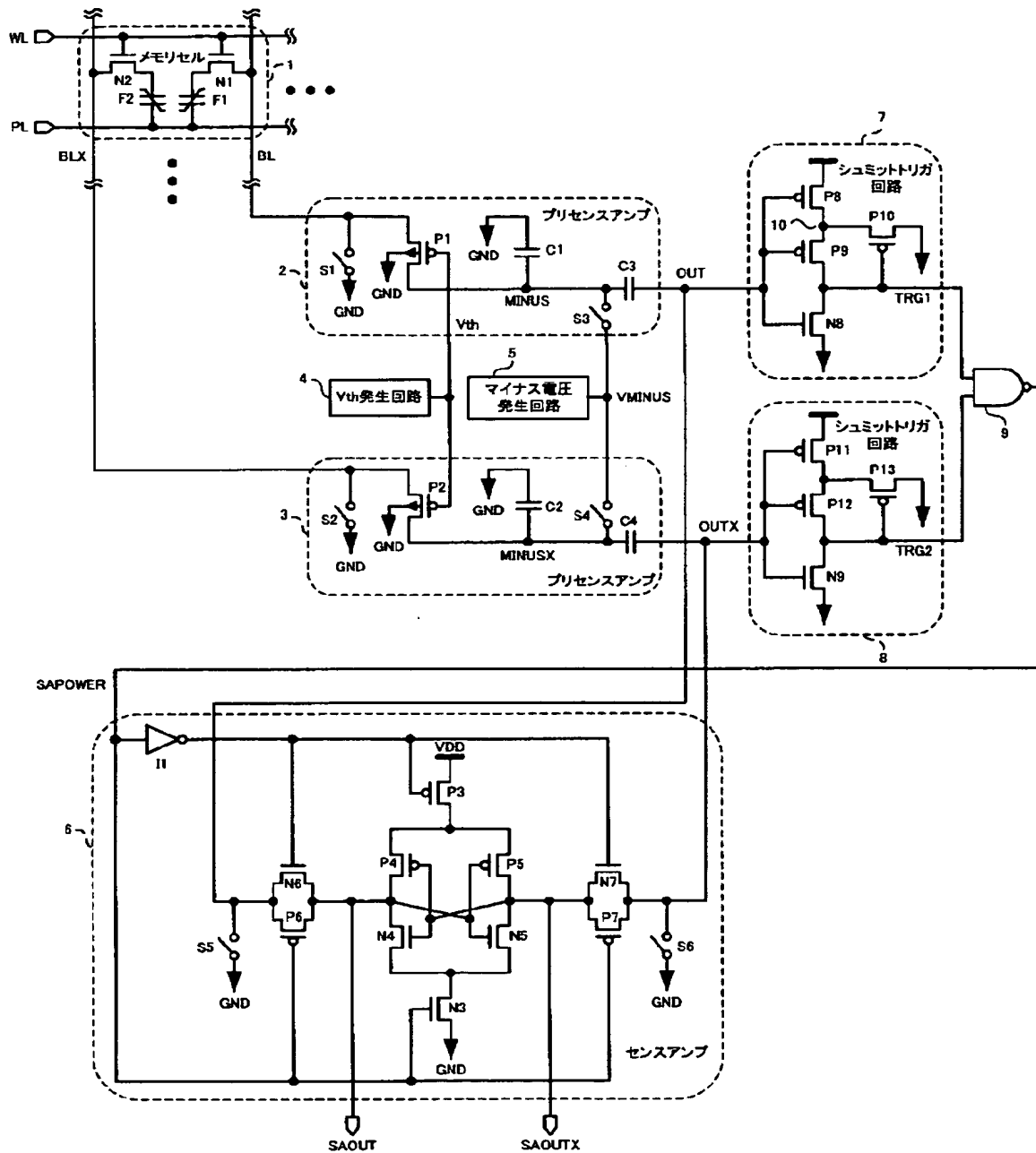
【図 7】

本発明においてメモリセル容量のバラツキ又は温度・  
電源依存性によりノードの電位が様々に振れた場合に  
生成されるラッチ起動信号のタイミングを示す信号波形図



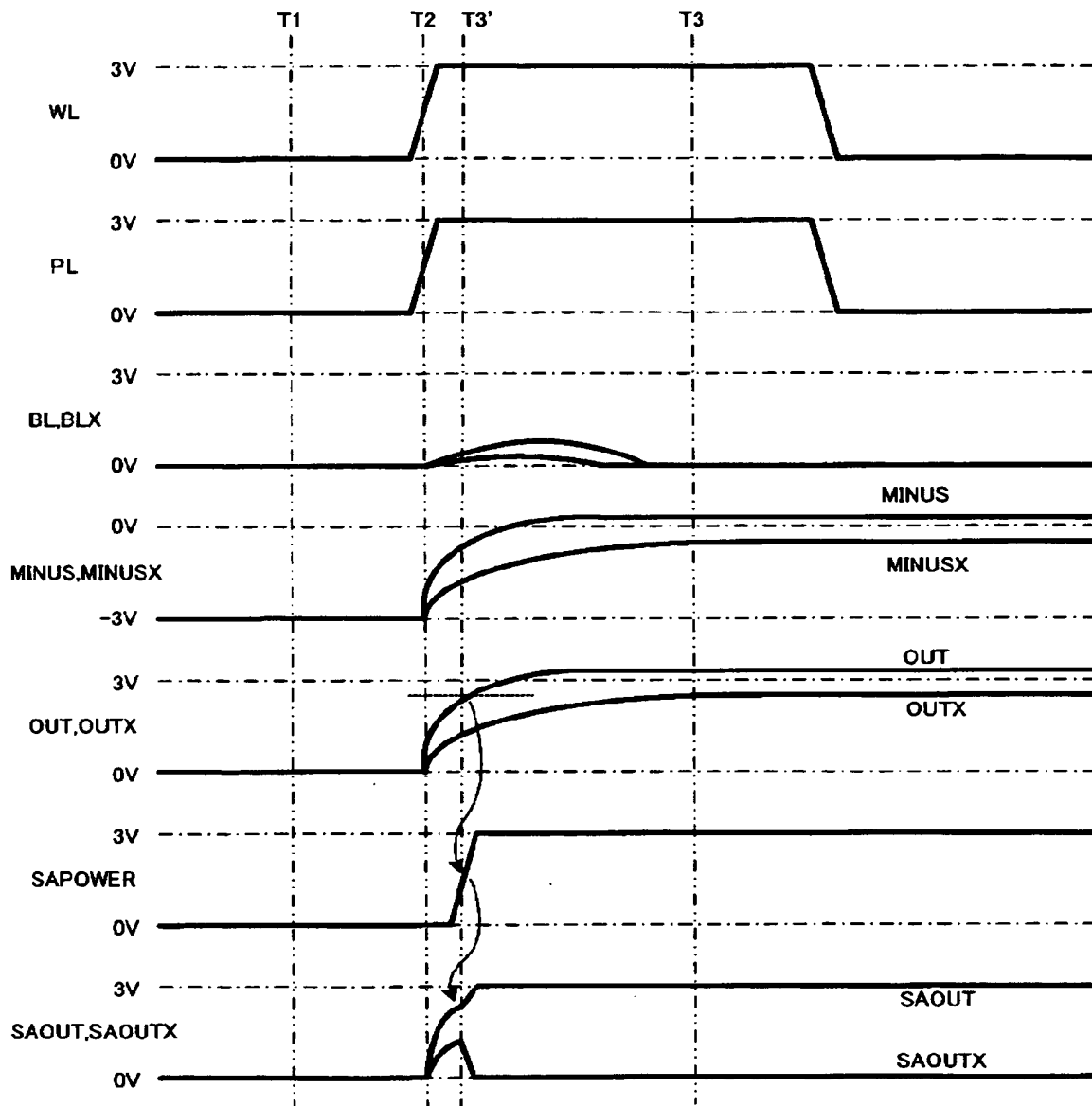
【図 8】

本発明による強誘電体メモリの更に詳細な構成の一例を示す図



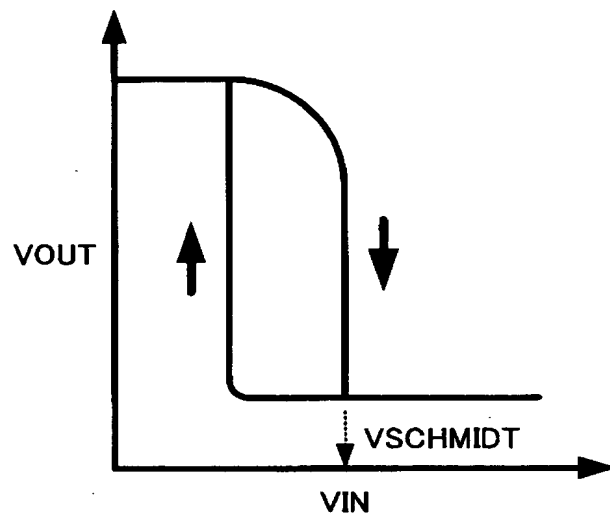
【図 9】

図8の回路の動作を説明するための信号波形図



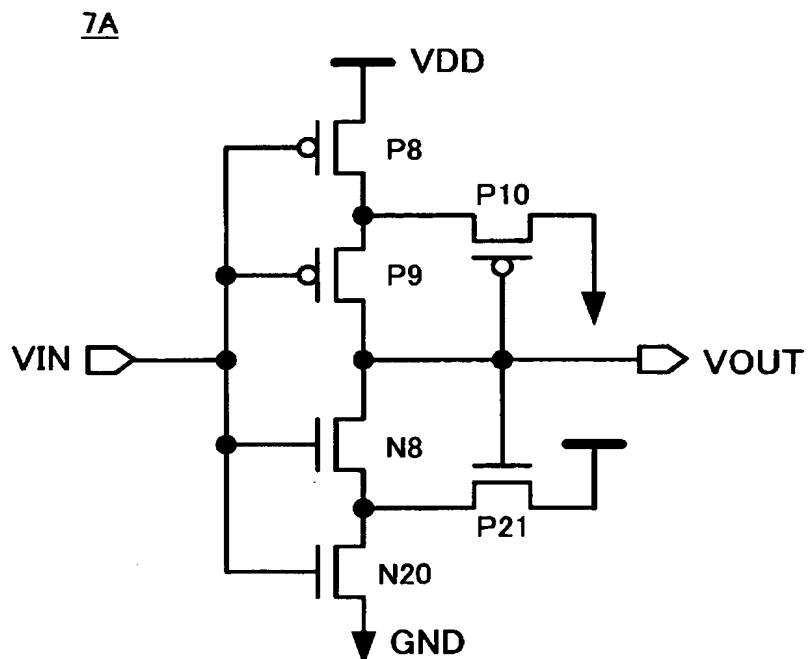
【図 10】

図8に示されるシュミットリガ回路の入出力特性を示す図



【図 11】

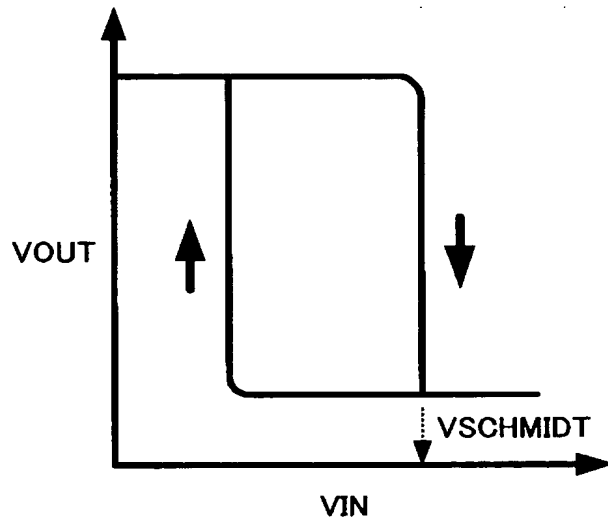
シュミットトリガ回路の構成の別の一例を示す回路図





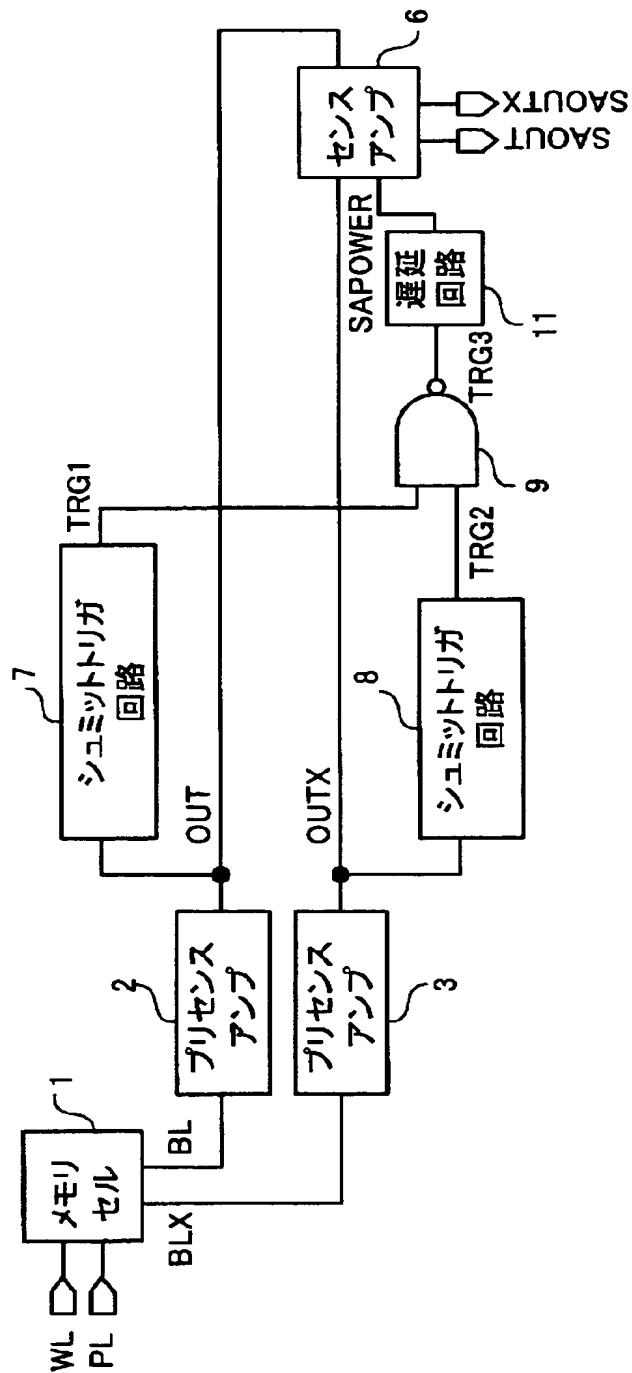
【図 12】

図11のシュミットトリガ回路の入出力特性を示す図



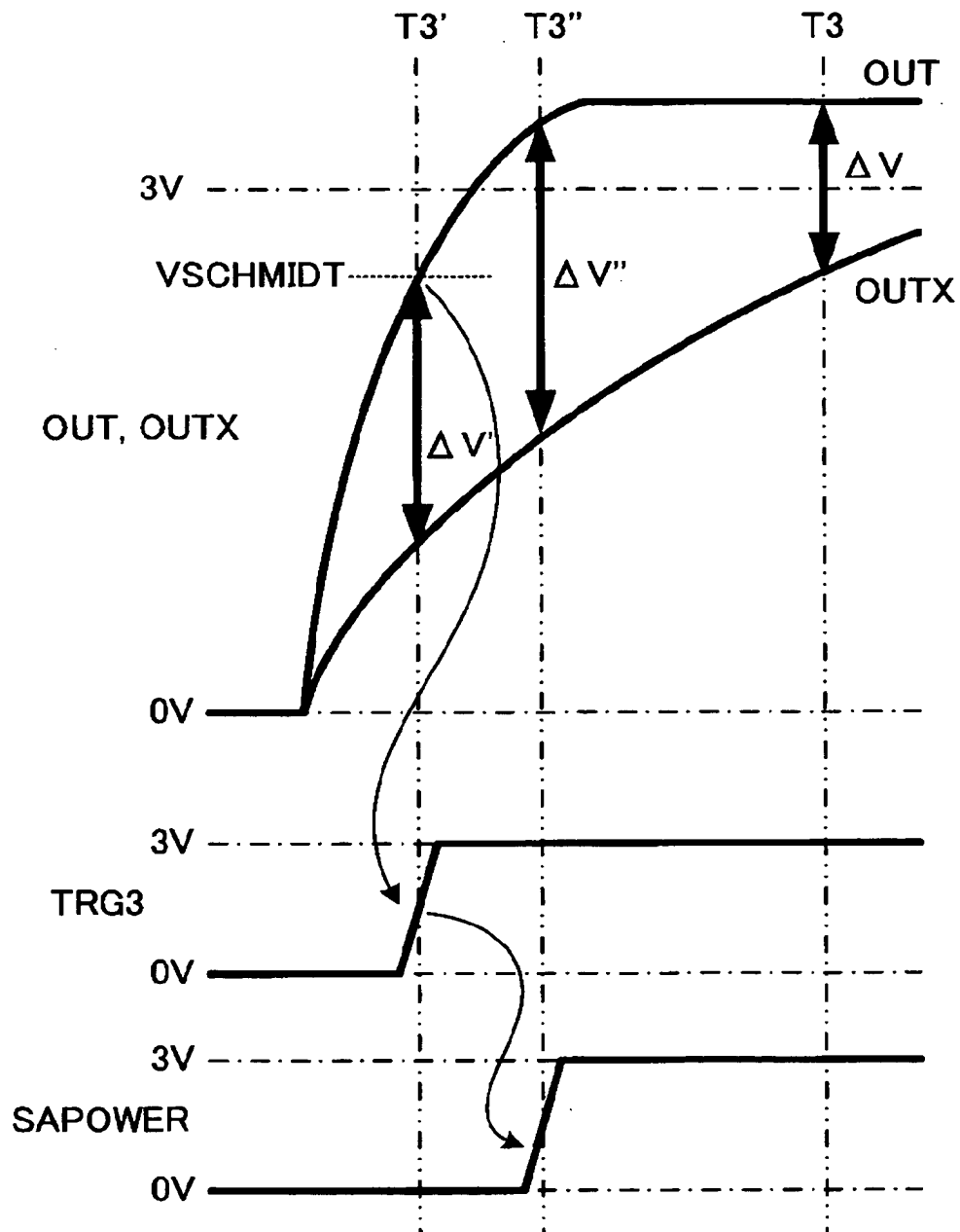
【図 13】

本発明による強誘電体メモリの構成の変形例を示す図



【図 14】

図13の回路の動作を示す信号波形図



**【書類名】 要約書****【要約】**

**【課題】** 本発明は、ラッチタイミングを強誘電体のバラツキや温度・電源依存性に応じて変化させることで、VDDに近くない十分大きな電位差のセンスアンプ入力をラッチ可能な半導体記憶装置を提供することを目的とする。

**【解決手段】** 半導体記憶装置は、メモリセルと、メモリセルから読み出すデータに応じた電位が現れる信号線と、信号線の電位が所定の電位を超えたことを検出すると検出信号を出力する電位検出回路と、検出信号に応答して信号線の電位の増幅を開始するセンスアンプを含むことを特徴とする。

**【選択図】 図 5**

特願 2 0 0 3 - 3 6 3 3 7 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社